

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114950

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H03K 17/687

H03K 17/693

H04B 1/48

(21)Application number : 10-285549

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 07.10.1998

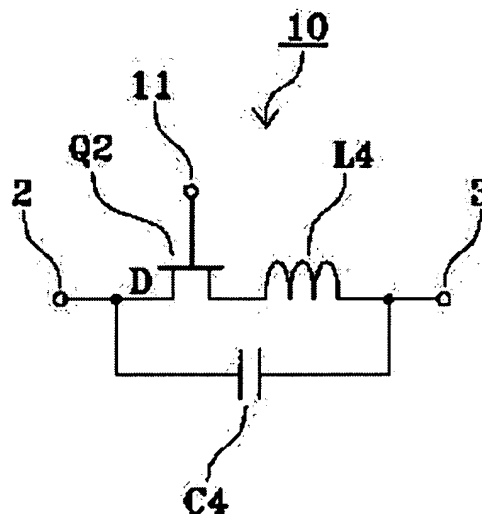
(72)Inventor : NAKAO MOTOYASU
SASAHATA AKIHIRO
TANAKA HIROAKI

(54) SPST SWITCH, SPDT SWITCH AND COMMUNICATION EQUIPMENT USING THEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an SPST switch reduced in transmission loss and power consumption.

SOLUTION: This SPST switch 10 is constructed so that the drain is connected to the source of a FET Q2 in series through an inductive element L4 and a capacitive element C4, one end of the capacitive element C4 is connected to a 1st terminal, another end is connected to a 2nd terminal, the gate of the FET Q2 is connected to the control terminal 11, the capacitance of the capacitive element C4 is made equal to the OFF capacitance of the FET Q2 and the inductance of the inductive element L4 is set to the value capable of being resonated with the capacitive element C4 in a signal frequency. Thus, isolation when it is OFF is made large and transmission loss when it is ON is made small so that large power can be applied, and also the linearity of a passing signal can be maintained from small power to large power.



LEGAL STATUS

[Date of request for examination] 10.07.2000

[Date of sending the examiner's decision of rejection] 23.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-114950
(P2000-114950A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 3 K 17/687		H 0 3 K 17/687	G 5 J 0 5 5
17/693		17/693	A 5 K 0 1 1
H 0 4 B 1/48		H 0 4 B 1/48	

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平10-285549

(22) 出願日 平成10年10月7日 (1998. 10. 7)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 中尾 元保

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 笹畑 昭弘

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 田中 裕明

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

最終頁に続く

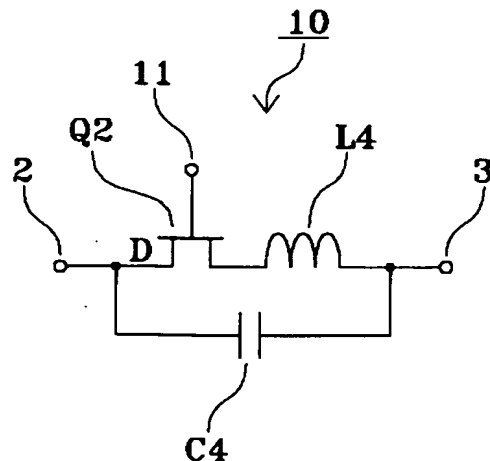
(54) 【発明の名称】 SPSTスイッチおよびSPDTスイッチおよびそれを用いた通信機

(57) 【要約】

【課題】 伝送損失や消費電力の小さいSPSTスイッチを提供する。

【解決手段】 FET Q2のドレインとソースを誘導素子L4と容量素子C4を直列に介して接続し、容量素子C4の一端を第1の端子に接続し、他端を第2の端子に接続し、FET Q2のゲートを制御端子11に接続するとともに、容量素子C4の容量をFET Q2のOFF容量と等しくし、誘導素子L4のインダクタンスを信号周波数において容量素子C4と共振する値に設定してSPSTスイッチ10を構成する。

【効果】 OFF時のアイソレーションを大きくし、ON時の伝送損失を小さくし、大きな電力を通すことができ、しかも小さな電力から大きな電力まで通過する信号の線形性を保つことができる。



【特許請求の範囲】

【請求項 1】 第 1 および第 2 の端子と、制御端子と、FET と、誘導素子と、容量素子を有し、前記 FET のドレインとソースを前記誘導素子と前記容量素子を直列に介して接続し、前記容量素子の一端を前記第 1 の端子に接続し、他端を前記第 2 の端子に接続し、前記 FET のゲートを前記制御端子に接続するとともに、前記容量素子の容量を前記 FET の OFF 容量と等しくし、前記誘導素子のインダクタンスを信号周波数において前記容量素子と共振する値に設定したことを特徴とする SPST スイッチ。

【請求項 2】 第 1、第 2 および第 3 の端子と、第 1 および第 2 の制御端子と、第 1 および第 2 の FET と、第 1 および第 2 の誘導素子と、第 1 および第 2 の容量素子を有し、前記第 1 の FET のドレインとソースを前記第 1 の誘導素子と前記第 1 の容量素子を直列に介して接続し、前記第 1 の FET のゲートを前記第 1 の制御端子に接続するとともに、前記第 1 の容量素子の容量を前記第 1 の FET の OFF 容量と等しくし、前記第 1 の誘導素子のインダクタンスを信号周波数において前記第 1 の容量素子と共振する値に設定し、前記第 2 の FET のドレインとソースを前記第 2 の誘導素子と前記第 2 の容量素子を直列に介して接続し、前記第 2 の FET のゲートを前記第 2 の制御端子に接続するとともに、前記第 2 の容量素子の容量を前記第 2 の FET の OFF 容量と等しくし、前記第 2 の誘導素子のインダクタンスを信号周波数において前記第 2 の容量素子と共振する値に設定し、前記第 1 および第 2 の容量素子の一端を互いに接続するとともに前記第 1 の端子に接続し、前記第 1 の容量素子の他端を前記第 2 の端子に接続し、前記第 2 の容量素子の他端を前記第 3 の端子に接続したことを特徴とする SPDT スイッチ。

【請求項 3】 第 1、第 2 および第 3 の端子と、制御端子と、FET と、誘導素子と、容量素子と、2 つの信号端子と切換端子を備えて前記 FET の ON/OFF に連動して ON/OFF するスイッチ素子を有し、前記 FET のドレインとソースを前記誘導素子と前記容量素子を直列に介して接続し、前記 FET のゲートを前記制御端子に接続するとともに、前記容量素子の容量を前記 FET の OFF 容量と等しくし、前記誘導素子のインダクタンスを信号周波数において前記容量素子と共振する値に設定し、前記スイッチ素子の前記切換端子を前記制御端子に接続し、前記容量素子の一端を前記第 1 の端子に接続するとともに他端を前記第 2 の端子に接続し、前記スイッチ素子の 2 つの信号端子のいずれか一方を前記容量素子の一端に接続するとともに他方を前記第 3 の端子に接続したことを

を特徴とする SPDT スイッチ。

【請求項 4】 請求項 2 または 3 に記載の SPDT スイッチを用いたことを特徴とする通信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SPST スイッチおよび SPDT スイッチおよびそれを用いた通信機、特に移動体通信機のアンテナスイッチに用いられる SPST スイッチおよび SPDT スイッチおよびそれを用いた通信機に関する。

【0002】

【従来の技術】近年の移動体通信機の低消費電力化にもなつて、アンテナスイッチにおいても伝送損失および消費電力の低減が求められている。

【0003】図 11 に、従来の SPST (Single Pole Single Through) スイッチ (2 つの端子の間を接続または切断するスイッチ) として、特開平 9-191268 号公報にその基本構成が開示されている SPST スイッチの回路図を示す。図 11 において、SPST スイッチ 1 は、第 1 の端子 2 と、第 2 の端子 3 と、第 1 の端子 2 と第 2 の端子 3 の間に接続されたダイオード D1 と、互いに直列に接続された上でダイオード D1 に並列に接続された誘導素子 L1 および容量素子 C1 と、同じくダイオード D1 に並列に接続された容量素子 C2 から構成されている。

【0004】このように構成された SPST スイッチ 1 において、まずダイオード D1 に電流を流すときには、ダイオード D1 は微少な抵抗値 (ON 抵抗) の抵抗と等価となり、第 1 の端子 2 と第 2 の端子 3 はほぼ直結され、SPST スイッチ 1 は ON となる。このとき、誘導素子 L1 や容量素子 C1、C2 は SPST スイッチ 1 を通過する信号に悪影響を与えない。逆に、ダイオード D1 に電流を流さないときには、ダイオード D1 は微少な容量 (OFF 容量) の容量素子と等価となるが、このときには誘導素子 L1 および容量素子 C1、C2 とともに信号周波数において並列共振を起こし、第 1 の端子 2 と第 2 の端子 3 の間のインピーダンスがほぼ無限大となり、SPST スイッチ 1 は OFF となる。このようにして、ダイオード D1 に電流を流すかどうかを制御して SPST スイッチとして動作させることができる。

【0005】図 12 に、従来の別の SPST スイッチとして、同じく特開平 9-191268 号公報にその基本構成が開示されている SPST スイッチの回路図を示す。図 12 において、図 11 と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。図 12 において、SPST スイッチ 4 は、第 1 の端子 2 と第 2 の端子 3 の間がダイオード D2 と誘導素子 L2 を直列に介して接続され、直列に接続されたダイオード D2 および誘導素子 L2 に並列に容量素子 C3 が接続されて構成されている。

【0006】このように構成されたSPSTスイッチ4において、まずダイオードD2に電流を流すときには、ダイオードD2は微少な抵抗値（ON抵抗）の抵抗と等価となるためほとんど無視でき、第1の端子2と第2の端子3の間には誘導素子L2と容量素子C3が並列に接続されることになる。そして、信号周波数において共振するように誘導素子L2と容量素子C3の値を設定しておくことにより、信号周波数において並列共振を起こし第1の端子2と第2の端子3の間のインピーダンスがほぼ無限大となり、SPSTスイッチ4はOFFとなる。逆に、ダイオードD2に電流を流さないときには、ダイオードD2は微少な容量（OFF容量）の容量素子と等価になって、第1の端子2と第2の端子3の間でダイオードD2と誘導素子L2を通る経路のインピーダンスは高くなるが、容量素子C3の容量を比較的大きな値に設定しておくことによって、容量素子C3を通る経路のインピーダンスが低くなり、第1の端子2と第2の端子3の間はほぼ直結され、SPSTスイッチ4はONとなる。このようにして、ダイオードD2に電流を流すかどうかでSPSTスイッチとして動作させることができる。なお、SPSTスイッチ4は図11に示したSPSTスイッチ1とはダイオードに電流を流すかどうかで逆の働きをする。

【0007】図13に、従来のさらに別のSPSTスイッチとして、特開平7-303001号公報にその基本構成が示されているSPSTスイッチの回路図を示す。図13において、図11と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。図13において、SPSTスイッチ5は、第1の端子2と第2の端子3の間に誘導素子L3が接続され、誘導素子L3の両端にFETQ1のドレインとソースがそれぞれ接続されて構成されている。ここで、FETQ1のゲートは制御端子6に接続されている。なお、図13において、FETQ1の各端子に関しては、ドレインにのみDの記号を付し、ソースおよびゲートに関しては省略している。

【0008】このように構成されたSPSTスイッチ5において、まず、FETQ1がONの時にはFETQ1のドレイン-ソース間は微少な抵抗値（ON抵抗）の抵抗と等価になるので、第1の端子2と第2の端子3はFETQ1を介してほぼ直結され、SPSTスイッチ5はONとなる。逆に、FETQ1がOFFの時にはFETQ1のドレイン-ソース間は微少な容量（OFF容量）の容量素子と等価になる。ここで、第1の端子2と第2の端子3の間にFETQ1のみが接続されている場合には、FETQ1のOFF容量が第1の端子2と第2の端子3の間のインピーダンスを下げる働きをする。しかし、SPSTスイッチ5のように誘導素子L3を接続することによって、FETQ1のOFF容量を信号周波数において誘導素子L3と並列共振させ、第1の端子2と第2の端子3の間のインピーダンスをほぼ無限大とする

ことができ、SPSTスイッチ5はOFFとなる。このようにして、FETQ1をON、OFFすることによってSPSTスイッチとして動作させることができる。

【0009】そして、これらのSPSTスイッチを2つ組み合わせることによってSPDT（Single Pole Dual Through）スイッチ（3つの端子を持ち、1つの端子に対して残り2つの端子のいずれか一方を接続するスイッチ）として働かせることもできる。

【0010】

【発明が解決しようとする課題】しかしながら、図11に示したSPSTスイッチ1においては、SPSTスイッチ1のON時にダイオードD1を介して第1の端子2と第2の端子3が接続されるため、ダイオードD1のON抵抗のために少ないとはいえ伝送損失が生じるという問題がある。また、図12に示したSPSTスイッチ4においては、SPSTスイッチ4のON時に容量素子C3を介して第1の端子2と第2の端子3が接続されるため、容量素子C3のインピーダンスのために伝送損失が生じるという問題がある。そして、SPSTスイッチ1および4のいずれにおいても、ダイオードD1やD2をONにするためには直流電流を流し続ける必要があり、比較的大きな消費電力を必要とするという問題がある。

【0011】また、図13に示したSPSTスイッチ5においても、SPSTスイッチ5のON時にFETQ1を介して第1の端子2と第2の端子3が接続されるため、FETQ1のON抵抗のために伝送損失が生じるという問題がある。

【0012】そして、これらのSPSTスイッチを用いたSPDTスイッチにおいても同様の問題点が生じる。

【0013】本発明は上記の問題点を解決することを目的とするもので、伝送損失や消費電力の小さいSPSTスイッチおよびSPDTスイッチおよびそれを用いた通信機を提供する。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明のSPSTスイッチは、第1および第2の端子と、制御端子と、FETと、誘導素子と、容量素子を有し、前記FETのドレインとソースを前記誘導素子と前記容量素子を直列に介して接続し、前記容量素子の一端を前記第1の端子に接続し、他端を前記第2の端子に接続し、前記FETのゲートを前記制御端子に接続するとともに、前記容量素子の容量を前記FETのOFF容量と等しくし、前記誘導素子のインダクタンスを信号周波数において前記容量素子と共振する値に設定したことを特徴とする。

【0015】また、本発明のSPDTスイッチは、第1、第2および第3の端子と、第1および第2の制御端子と、第1および第2のFETと、第1および第2の誘導素子と、第1および第2の容量素子を有し、前記第1

のFETのドレインとソースを前記第1の誘導素子と前記第1の容量素子を直列に介して接続し、前記第1のFETのゲートを前記第1の制御端子に接続するとともに、前記第1の容量素子の容量を前記第1のFETのOFF容量と等しくし、前記第1の誘導素子のインダクタンスを信号周波数において前記第1の容量素子と共振する値に設定し、前記第2のFETのドレインとソースを前記第2の誘導素子と前記第2の容量素子を直列に介して接続し、前記第2のFETのゲートを前記第2の制御端子に接続するとともに、前記第2の容量素子の容量を前記第2のFETのOFF容量と等しくし、前記第2の誘導素子のインダクタンスを信号周波数において前記第2の容量素子と共振する値に設定し、前記第1および第2の容量素子の一端を互いに接続するとともに前記第1の端子に接続し、前記第1の容量素子の他端を前記第2の端子に接続し、前記第2の容量素子の他端を前記第3の端子に接続したことを特徴とする。

【0016】また、本発明のSPDTスイッチは、第1、第2および第3の端子と、制御端子と、FETと、誘導素子と、容量素子と、2つの信号端子と切換端子を備えて前記FETのON/OFFに連動してON/OFFするスイッチ素子を有し、前記FETのドレインとソースを前記誘導素子と前記容量素子を直列に介して接続し、前記FETのゲートを前記制御端子に接続するとともに、前記容量素子の容量を前記FETのOFF容量と等しくし、前記誘導素子のインダクタンスを信号周波数において前記容量素子と共振する値に設定し、前記スイッチ素子の前記切換端子を前記制御端子に接続し、前記容量素子の一端を前記第1の端子に接続するとともに他端を前記第2の端子に接続し、前記スイッチ素子の2つの信号端子のいずれか一方を前記容量素子の一端に接続するとともに他方を前記第3の端子に接続したことを特徴とする。

【0017】このように構成することにより、本発明のSPSTスイッチおよびSPDTスイッチにおいては、伝送損失と消費電力を小さくすることができる。

【0018】また、本発明の通信機においても低損失と低消費電力化を図ることができる。

【0019】

【発明の実施の形態】図1に、本発明のSPSTスイッチの一実施例を示す。図1において、図11と同一もしくは同等の部分には同じ記号を付す。図1において、SPSTスイッチ10は、第1の端子2と、第2の端子3と、FETQ2と、誘導素子L4と、容量素子C4から構成されている。ここで、FETQ2のドレインとソースは誘導素子L4と容量素子C4を直列に介して接続され、容量素子C4の一端が第1の端子2に、他端が第2の端子3に接続されて構成されている。また、FETQ2のゲートは制御端子11に接続されている。また、容量素子C4の容量はFETQ2がOFFの時のドレイン

ソース間の微少な容量(OFF容量Coff)と同じ値に設定されている。また、誘導素子L4のインダクタンスは信号周波数において容量素子C4との間で並列共振、もしくはFETQ2のOFF容量Coffとの間で直列共振するように設定されている。なお、図1において、FETQ2の各端子に関しては、ドレインにのみDの記号を付し、ソースおよびゲートに関しては省略しており、図2以降においても同様に省略する。

【0020】このように構成されたSPSTスイッチ10において、FETQ2がONの時とOFFの時の等価回路を図2および図3に示す。FETQ2がONの時には、図2に示すようにFETQ2は微少な抵抗値(ON抵抗Ron)の抵抗と等価になってほとんど無視できるので、第1の端子2と第2の端子3は誘導素子L4と容量素子C4が並列に接続されることになる。そして、誘導素子L4と容量素子C4は信号周波数で並列共振するため、第1の端子2と第2の端子3の間のインピーダンスはほぼ無限大となり、SPSTスイッチ10はOFFとなる。

【0021】逆に、FETQ2がOFFの場合には、図3に示すようにFETQ2は微少な容量(OFF容量Coff)の容量素子と等価になる。そして、誘導素子L4とFETQ2のOFF容量Coffは信号周波数で直列共振するため、第1の端子2と第2の端子3の間のインピーダンスはほぼゼロとなり、SPSTスイッチ10はONとなる。このとき、容量素子C4のインピーダンスはSPSTスイッチ10を通過する信号に悪影響を与えない。

【0022】このように、SPSTスイッチ10は、ON時には第1の端子2と第2の端子3の間のインピーダンスがほぼゼロとなるため、伝送損失を十分に小さくすることができる。逆に、OFF時には第1の端子2と第2の端子3の間のインピーダンスがほぼ無限大となるため、第1の端子2と第2の端子3の間のアイソレーションを大きくすることができる。しかも、FETQ2がOFFの時にSPSTスイッチ10がONになって信号が流れるようになっていたため、SPSTスイッチ10を通過できる信号の電力はFETQ2のON時の耐電圧性に依存せず、比較的大きな電力を通すことができる。さらには、同じくFETQ2がOFFの時にSPSTスイッチ10がONになって信号が流れるようになっていたため、FETQ2のON時にドレインソース間に電流が流れるときの非線形性(入力信号に対して出力信号が歪んだりすること)の影響を受けにくく、小さな電力から大きな電力まで通過する信号の線形性を保つことができる。

【0023】なお、図1に示したSPSTスイッチ10においては、FETQ2のソースと誘導素子L4とを接続したが、FETQ2のドレインとソースを入れ替えて、FETQ2のドレインと誘導素子L4を接続する構

成としても構わないものである。そして、この点はこれ以降の各実施例においても同様に適用できる。

【0024】また、SPSTスイッチ10を実際の電子部品として実現する場合には、回路基板上にFETや誘導素子や容量素子を個別の部品として搭載し接続して構成したものであっても、あるいは1つの半導体基板上に集積回路(例えばMMIC)として実現したものであっても構わない。あるいは、FETなどの能動素子のみを集積化した集積回路と、誘導素子や容量素子を形成した誘電体基板とを組み合わせることで相互に接続して構成したものであっても構わない。さらには、誘導素子や容量素子を内部に形成した積層多層基板に個別のFETやFETを集積化した集積回路を搭載して、相互に接続して構成したものであっても構わないものである。

【0025】図4に、本発明のSPSTスイッチの別の実施例を示す。図4において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。図4において、SPSTスイッチ12は、FETQ2のドレインと容量素子C4の接続部と第1の端子2との間に直流カット用の容量素子C5が接続され、誘導素子L4と容量素子C4の接続部と第2の端子3との間に直流カット用の容量素子C6が接続されている。そして、FETQ2のドレインはバイアス抵抗Rbiasを介してバイアス端子13に接続されている。

【0026】このように構成されたSPSTスイッチ12において、バイアス端子13からFETQ2のドレインにはバイアス電圧が印加される。このとき、FETQ2のソースは直流的に開放状態となっているため、FETQ2のドレイン-ソース間には直流電流は流れず、FETQ2のドレインとソースはDC的にアップシフトされる(0Vより高い正電圧に保たれる)。そのため、FETQ2にデプレッション型FETを用いた場合においても、ゲートに加える電圧を正電圧と0Vとで切り換えることによってFETQ2をスイッチングでき、SPSTスイッチ12の正電源駆動が可能となる。また、FETは電圧駆動素子であるためゲートに制御用の電流を流す必要が無く、これによって低消費電力化を図ることができる。

【0027】図5に、図4に示したSPSTスイッチ12の伝送損失thrおよびアイソレーションiso(OFF時の伝送損失)を示す。ここで、FETQ2には総ゲート幅が600μmのデプレッション型GaAsFETを、容量素子C4にはFETQ2のOFF容量にほぼ等しい0.2pFのキャパシタを、誘導素子L4には信号周波数の5.8GHzで容量素子C4と並列共振するように3.9nHのインダクタを用い、バイアス電圧を3Vとして制御電圧を0Vと3Vで切り換えて(正電源駆動)シミュレーションを行った。その結果、信号周波数の5.8GHzで、SPSTスイッチ12をONにしたときの伝送損失thrは-0.23dB、OFFにし

たときのアイソレーションisoは-25.8dBとなり、伝送損失を小さくし、高いアイソレーションを実現できることがわかる。また、SPSTスイッチ12においては、デプレッション型FETを使用しているにもかかわらず、1つの正電源のみで動作させられることがわかる。

【0028】図6に、本発明のSPDTスイッチの一実施例を示す。図6において、SPDTスイッチ20は、第1の端子21と、第2の端子22と、第3の端子23と、第1のFETQ3と、第1の誘導素子L5と、第1の容量素子C7と、第1の制御端子24と、第2のFETQ4と、第2の誘導素子L6と、第2の容量素子C8と、第2の制御端子25から構成されている。ここで、第1のFETQ3のドレインとソースは第1の誘導素子L5と第1の容量素子C7を直列に介して接続され、第1の容量素子C7の一端が第2の端子22に接続されている。また、第2のFETQ4のドレインとソースは第2の誘導素子L6と第2の容量素子C8を直列に介して接続され、第2の容量素子C8の一端が第3の端子23に接続されている。さらに、第1の容量素子C7の他端(すなわち第1のFETQ3のドレイン)は第2の容量素子C8の他端(すなわち第2のFETQ4のドレイン)と接続されるとともに、第1の端子21に接続されている。また、第1のFETQ3のゲートは第1の制御端子24に接続され、第2のFETQ4のゲートは第2の制御端子25に接続されている。また、第1の容量素子C7の容量は第1のFETQ3がOFFの時のドレイン-ソース間の微少な容量(OFF容量Coff1)と同じ値に設定され、第1の誘導素子L5のインダクタンスは信号周波数において第1の容量素子C7との間で並列共振、もしくは第1のFETQ3のOFF容量Coff1との間で直列共振するように設定されている。また、第2の容量素子C8の容量は第2のFETQ4がOFFの時のドレイン-ソース間の微少な容量(OFF容量Coff2)と同じ値に設定され、第2の誘導素子L6のインダクタンスは信号周波数において第2の容量素子C8との間で並列共振、もしくは第2のFETQ4のOFF容量Coff2との間で直列共振するように設定されている。

【0029】ここで、第1のFETQ3、誘導素子L5、容量素子C7の組み合わせ、および第2のFETQ4、誘導素子L6、容量素子C8の組み合わせは、それぞれ図1に示したSPSTスイッチ10の構成と基本的に同じであることから、それぞれSPST部26およびSPST部27と称する。すなわち、SPDTスイッチ20はSPSTスイッチ10と同じ構成のSPST部を2つ接続して構成したものであることがわかる。

【0030】このように構成されたSPDTスイッチ20において、各SPST部の動作については図1に示したSPSTスイッチ10と同じであるため省略するが、

SPST部26とSPST部27を交互にONまたはOFFとすることによって、第1の端子21と第2の端子22が接続される状態、または第1の端子21と第3の端子23が接続される状態を作り出し、SPDTスイッチとして動作させることができる。そして、SPDTスイッチ20においては、図1に示したSPSTスイッチ10と同じ構成のSPST部を用いていることからわかるように、伝送損失が小さく、アイソレーションが大きく、比較的大きな電力に耐え、しかも大きな電力まで信号の線形性を保つことができる。

【0031】図7に、本発明のSPDTスイッチの別の実施例を示す。図7において、図4および図6と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。図7において、SPDTスイッチ28は、誘導素子L5と容量素子C7の接続部と第2の端子22の間に直流カット用の容量素子C9が接続され、誘導素子L6と容量素子C8の接続部と第3の端子23の間に直流カット用の容量素子C10が接続され、第1のFETQ3および第2のFETQ4のドレイン同士の接続部と第1の端子21の間に直流カット用の容量素子C11が接続されている。そして、第1のFETQ3のドレインおよび第2のFETQ4のドレインはバイアス抵抗Rbiasを介してバイアス端子29に接続されている。

【0032】このように構成されたSPDTスイッチ28においては、第1のFETQ3および第2のFETQ4のソースは直流的に開放状態となっていてドレインソース間には直流電流が流れないため、ドレインとソースの電位がDC的にアップシフトされ、図4に示したSPSTスイッチ12と同様に、図6に示したSPDTスイッチ20の効果に加えて、デプレッション型FETを使用しても正電源駆動ができるという効果も得られる。

【0033】図8に、本発明のSPDTスイッチのさらに別の実施例を示す。図8において、SPDTスイッチ30は、第1の端子31と、第2の端子32と、第3の端子33と、FETQ5と、誘導素子L7と、容量素子C12と、制御端子34と、2つの信号端子であるドレインとソース、および切換端子であるゲートを有するスイッチ素子であるFETQ6から構成されている。ここで、FETQ5のドレインとソースは誘導素子L7と容量素子C12を直列に介して接続され、容量素子C12の一端は第2の端子32に接続され、FETQ6の信号端子の1つであるソースは第3の端子33に接続され、さらに、容量素子C12の他端（すなわちFETQ5のドレイン）はFETQ6のもう1つの信号端子であるドレインに接続されるとともに、第1の端子31に接続されて構成されている。また、FETQ5のゲートは、FETQ6の切換端子であるゲートとともに制御端子34に接続されている。また、容量素子C12の容量はFETQ5がOFFの時のドレインソース間の微小な容量（OFF容量Coff3）と同じ値に設定され、誘導素

子L7のインダクタンスは信号周波数において容量素子C12との間で並列共振、もしくはFETQ5のOFF容量Coff3との間で直列共振するように設定されている。

【0034】ここで、FETQ5、誘導素子L7、容量素子C12の組み合わせは、図1に示したSPSTスイッチ10の構成と基本的に同じであることから、SPST部35と称する。すなわち、SPDTスイッチ30はSPSTスイッチ10と同じ構成のSPST部35と、1つのスイッチ素子であるFETQ6を接続して構成したものであることがわかる。

【0035】このように構成されたSPDTスイッチ30において、SPST部35の動作については図1に示したSPSTスイッチ10と同じであるため省略するが、FET5とFET6はそのゲートが同じ制御端子34に接続されていることからわかるように、同時にONまたはOFFする。ここで、FETQ6がONの時には、第1の端子31と第3の端子33はFETQ6の内部のドレインソース間の微小な抵抗（ON抵抗）を介して接続される。逆にFET6がOFFの時には、第1の端子31と第3の端子33はFETQ6の内部のドレインソース間の微小な容量（OFF容量）を介して接続されることになるため、第1の端子31と第3の端子33の間のインピーダンスが大きくなり切断状態となる。すなわち、第1の端子31と第3の端子33の間は、FETQ6がONの時にONに、OFFの時にOFFになる。一方、第1の端子31と第2の端子32の間は、SPST部35によって、第1のFETQ5がONの時にOFFに、第1のFETQ5がOFFの時にONになる。これより、制御端子34から印加される1つのON、OFF信号によって、第1の端子31の接続相手を第2の端子32か第3の端子33に切り換えることができる。これより、図6に示したSPDTスイッチ20と比べて、制御端子が1つで済むことになる。また、SPDTスイッチ20に比べて誘導素子と容量素子を1つずつ削減することができ、コストダウンを図ることができる。

【0036】なお、この場合は第1の端子31と第3の端子33の間に関しては、単なるFETを用いたスイッチであるため、図1に示した本発明のSPSTスイッチ10のようなメリットを発揮できない。しかし、例えばSPDTスイッチ30をアンテナスイッチとして用いる場合に、第1の端子31をアンテナ側に、第2の端子32を小さい電力の信号を受信する必要があるRX側に、第3の端子33を比較的大きな電力を出力するTX側に設定することによって、送信時にFETQ5がONになってほぼ導通するため、送信時の比較的大きな電力によってFETQ5が破損するのを防止することができる。すなわち、FETQ5の耐圧が低くても使用可能となる。

【0037】図9に、本発明のSPDTスイッチのさらに別の実施例を示す。図9において、図4および図8と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。図9において、SPDTスイッチ36は、誘導素子L7と容量素子C12の接続部と第2の端子32の間に直流カット用の容量素子C13が接続され、FETQ6のソースと第3の端子33の間に直流カット用の容量素子C14が接続され、FETQ5とFETQ6のドレイン同士の接続部と第1の端子31の間に直流カット用の容量素子C15が接続されている。そして、FETQ5のドレインおよびFETQ6のドレインはバイアス抵抗Rbiasを介してバイアス端子37に接続されている。

【0038】このように構成されたSPDTスイッチ36においては、FETQ5およびFETQ6のソースは直流的に開放状態となっていてドレイン-ソース間に直流電流が流れないため、ドレインとソースの電位がDC的にアップシフトされ、図4に示したSPSTスイッチ12と同様に、図6に示したSPDTスイッチ20の効果に加えて、デプレッション型FETを使用しても正電源駆動ができるという効果も得られる。

【0039】なお、図8および図9に示したSPDTスイッチ30および36においては、スイッチ素子としてFETを用いたが、これはFETに限るものではなく、FETQ5のゲートに印加する制御信号とおなじ信号によってFETQ5と連動してON/OFFするものであればFETに限るものではなく、トランジスタや真空管などの電気的な素子やリレーなどの機械的な素子など、どのようなスイッチ素子であっても構わないものである。

【0040】なお、一般に、FETにおいてはドレインとソースはゲートに対してほぼ対称な構造となっていて、ドレインをソースとして、ソースをドレインとして用いることもできる。そのため、上記の各実施例においても、各FETのドレインとソースの接続関係は固定されるものではなく、ドレインとソースを入れ替える構成としても構わないものである。また、FETとバイアス端子を接続する構成についても、ドレインの代わりにソースとバイアス端子を接続し、ドレインを直流的に開放状態とする構成としても構わないものである。

【0041】図10に、本発明の通信機の一実施例のブロック図を示す。図10において、通信機40はアンテナ41と、図6に示したSPDTスイッチ20と、受信回路42と、送信回路43と、制御回路44から構成されている。ここで、アンテナ41はアンテナスイッチとして用いられているSPDTスイッチ20の第1の端子21に接続され、SPDTスイッチ20の第2の端子22は受信回路42に、第3の端子23は送信回路43に接続されている。そして、受信回路42と送信回路43はそれぞれ制御回路44に接続され、制御回路44はS

PDTスイッチ20の第1の制御端子24および第2の制御端子25に接続されている。

【0042】このように構成された通信機40において、制御回路44がSPDTスイッチ20の第1の制御端子24と第2の制御端子25を制御することによって、アンテナ41と受信回路42を接続して受信状態にしたり、アンテナ41と送信回路43を接続して送信状態にしたりすることができる。

【0043】そして、アンテナスイッチとして本発明のSPDTスイッチ20を用いることによって、通信機40の低損失化、低消費電力化を図ることができる。

【0044】なお、図10においてはSPDTスイッチ20を用いて通信機40を構成したが、図7ないし図9に示したSPDTスイッチ28、30、36を用いて通信機を構成しても構わないもので、同様の作用効果を奏するものである。

【0045】

【発明の効果】本発明のSPSTスイッチによれば、FETのドレインとソースを誘導素子と容量素子を直列に介して接続し、容量素子の一端を第1の端子に、他端を第2の端子にそれぞれ接続し、FETのゲートを制御端子に接続するとともに、容量素子の容量をFETのOFF容量と等しくし、誘導素子のインダクタンスを信号周波数において容量素子と共振する値に設定して構成することにより、OFF時のアイソレーションを大きくし、ON時の伝送損失を小さくし、大きな電力を通すことができ、しかも小さな電力から大きな電力まで通過する信号の線形性を保つことができる。

【0046】また、本発明のSPDTスイッチによれば、上記のSPSTスイッチの構成を2つ接続して構成することにより、上記のSPSTスイッチと同様の効果を得ることができる。

【0047】また、本発明のSPDTスイッチによれば、上記のSPSTスイッチと、上記のSPSTスイッチのFETのON/OFFに連動してON/OFFする1つのスイッチ素子を接続し、SPSTスイッチのFETのゲートとスイッチ素子の切換端子をとともに制御端子に接続して構成することにより、制御端子を1つ削減し、コストダウンを図ることができる。

【0048】また、本発明の通信機によれば、本発明のSPDTスイッチを用いることによって、通信機の低損失化、低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明のSPSTスイッチの一実施例を示す回路図である。

【図2】図1のSPSTスイッチのOFF時の等価回路を示す回路図である

【図3】図1のSPSTスイッチのON時の等価回路を示す回路図である

【図4】本発明のSPSTスイッチの別の実施例を示す

回路図である。

【図5】図4のSPSTスイッチの伝送損失とアイソレーションを示す図である。

【図6】本発明のSPDTスイッチの一実施例を示す回路図である。

【図7】本発明のSPDTスイッチの別の実施例を示す回路図である。

【図8】本発明のSPDTスイッチのさらに別の実施例を示す回路図である。

【図9】本発明のSPDTスイッチのさらに別の実施例を示す回路図である。

【図10】本発明の通信機の一実施例を示すブロック図である。

【図11】従来のSPSTスイッチを示す回路図である。

【図12】従来の別のSPSTスイッチを示す回路図である。

【図13】従来のさらに別のSPSTスイッチを示す回路図である。

【符号の説明】

2、21、31…第1の端子

3、22、32…第2の端子

10、12…SPSTスイッチ

11、24、25、34…制御端子

13、29、37…バイアス端子

20、28、30、36…SPDTスイッチ

23、33…第3の端子

26、27、35…SPST部

40…通信機

Q2、Q5、Q6…FET

Q3…第1のFET

Q4…第2のFET

L4、L7…誘導素子

L5…第1の誘導素子

L6…第2の誘導素子

C4、C5、C6、C9、C10、C11、C12、C

13、C14、C15…容量素子

C7…第1の容量素子

C8…第2の容量素子

Ron…FET Q2のON抵抗

Coff…FET Q2のOFF容量

Rbias…バイアス抵抗

thr…伝送損失

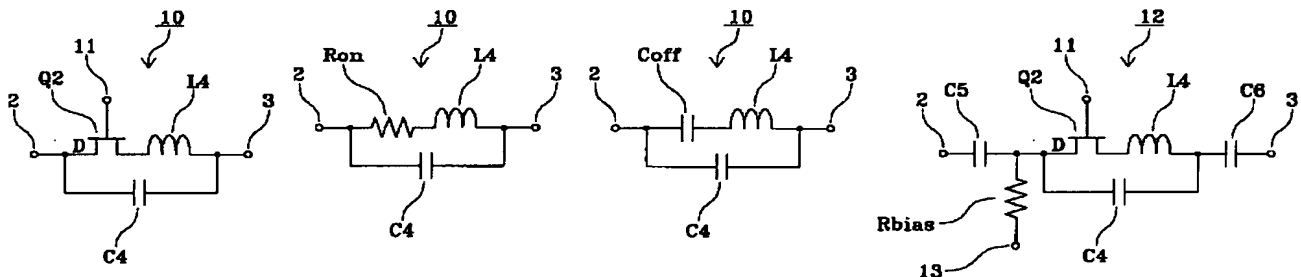
iso…アイソレーション

【図1】

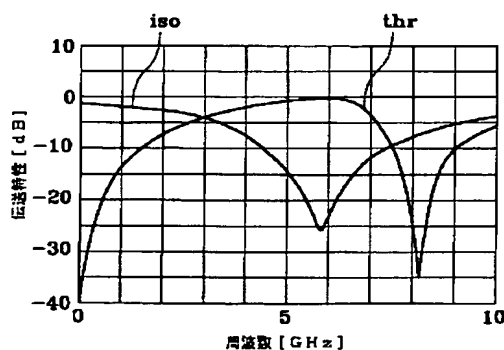
【図2】

【図3】

【図4】

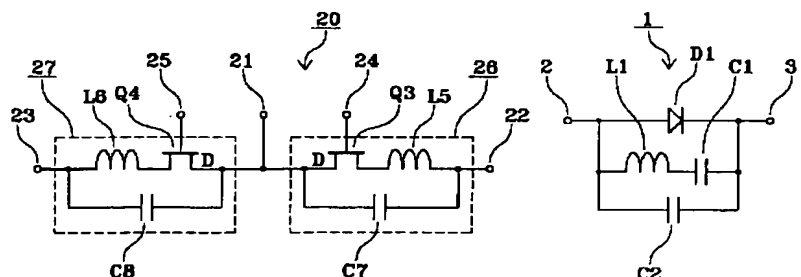


【図5】

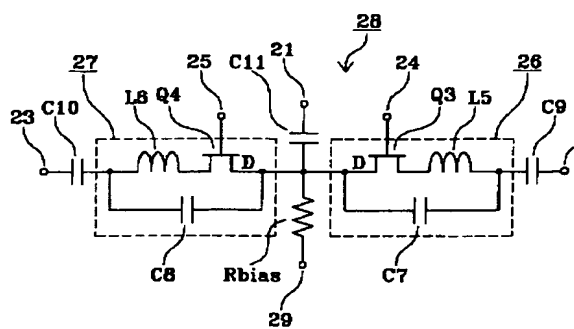


【図6】

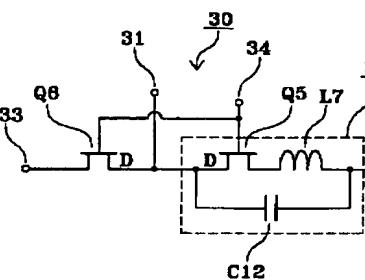
【図11】



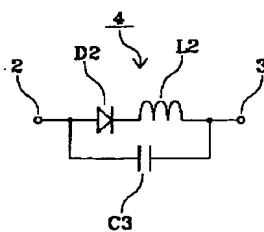
【図7】



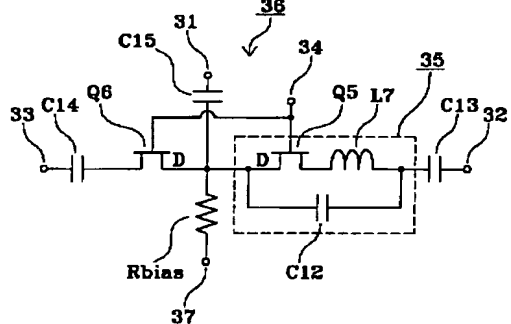
【図8】



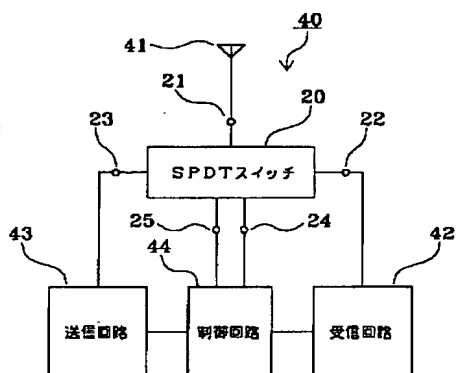
【図12】



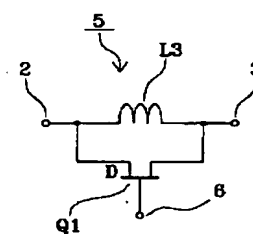
【図9】



【図10】



【図13】



フロントページの続き

Fターム(参考) 5J055 AX11 AX12 BX01 BX05 BX11
CX00 CX26 DX12 DX16 DX25
EY01 EY05 EY10 EZ14 GX01
5K011 AA06 DA02 DA22 JA01